

氏名	侯 豫 榕
授与した学位	博 士
専攻分野の名称	工 学
学位授与番号	博 甲 第 1273 号
学位授与の日付	平成 6 年 3 月 25 日
学位授与の要件	自然科学研究科システム科学専攻 (学位規則第 4 条第 1 項該当)
学位論文題目	代数的言語による非同期式次順序回路の設計検証とその作業量の 軽減手法に関する研究
論文審査委員	教授 岡本 卓爾 教授 福井 廉 教授 浜田 博 教授 吉田 彰 教授 杉山 裕二

学 位 論 文 内 容 の 要 旨

設計時における論理回路の誤りを数学的な検証により防止しようとする一つの方法として、代数的設計法が提案されているが、従来、同期式回路への適用法が示されているだけであり、しかも、回路規模の増大とともに検証作業量が爆発的に増加するという問題があった。本研究では、まず、非同期式回路の一例として非同期式デジチェンアービタを選び、仮想的な状態遷移を導入して、このアービタの動作を代数的に記述することにより、代数的設計法が非同期式次順序回路にも適用できることを明らかにしている。次に、設計過程における回路の検証をモジュールとそれらの接続関係に分けて行なうことにより検証作業量を軽減しようとする方法を与えている。その一つは、同一モジュールの個数をパラメータとして記述された回路の検証作業量を軽減するための方法であり、他の一つは、段階的回路設計法における二つの段階間での検証の作業量を軽減するための方法である。

論 文 審 査 の 結 果 の 要 旨

検証を通して正確に動作する回路を導くための一つの方法として代数的回路設計法が提案されているが、非同期式回路への適用法はまだ明らかにされておらず、また回路規模の増大に伴って検証作業が極端に複雑化するという問題点があった。本論文は、論理レベルの記述を対象に代数的回路設計法の非同期式回路への適用法を明らかにするとともに、回

路規模の増大に伴う検証作業の複雑化を抑えための方法の開発を目的としたものである。

本論文では、まず、非同期式回路の代表として非同期式デジチエンアービタを選び、その代数的記述法を与える過程で、クロックパルスが存在しないために生じる記述上の問題点の解決策を示している。そして、この記述法を用いることにより、一般の非同期式回路の論理レベルの記述が可能であることと、既存の代数的回路設計法の基本原理が非同期式回路に適用可能であることを明らかにしている。

次に、同一モジュールを複数個包み、かつ、その個数がパラメータ化されている回路の仕様を対象に、モジュール数のパラメータ化までの概念が定式化し、その結果を利用してモジュール数に依存することなく正当性の検証が可能となるための十分条件を与えている。そして、その十分条件を利用すれば、モジュールの個数の異なる回路の検証が一回で済み、検証作業の大幅な軽減が期待できることを明らかにしている。

最後に、モジュール化した回路を段階的に詳細化しつつ設計するという前提のもとで、各段階における詳細化後の仕様が詳細化前の仕様を満たしているか否かの検証（実現検証）法を取り上げ、回路全体の実現検証が、モジュールごとの実現検証により可能となるための十分条件を導き、これにアービタに適用して、検証作業が大幅に軽減できることを示唆している。

以上のとおり、本論文は、代数的回路設計法の適用範囲を非同期式回路に拡張するとともにこの種の設計法の最大の難点である検証作業量の増加を大幅に軽減できる基本的な手法を与えており、高信頼性回路設計法の現実化に向けて新たな道を切り開いたとう点で、この分野の技術に寄与するところが大きい。

よって、本論文は博士の学位論文に値するものと認める。